

RT Embedded <http://www.kontron.com>

PCIE 接口的 FPGA 实现方式

于佳

(中央电视台 中国 北京 100000)

【摘要】接口带宽需求的迅猛增长,导致普通的 PCI 等接口已无法满足系统要求,使得更高效的 PCIE 接口将越来越多的应用在视频与监控、广播、通信、工控、医疗、金融等各种领域。本文介绍了 PCI 与 PCI Express 的区别,并重点介绍 XILINX 芯片的内置 PCI Express IP Core 的结构、工作原理及接口时序,为用 FPGA 实现 PCIE 接口提供参考。

【关键词】PCI Express; FPGA; XILINX; Virtex-5

1. 从 PCI 到 PCI Express

上世纪 90 年代初,PCI 总线一经推出,即统一了当时并存的多种 IO 总线,诸如:VESA 局域总线、EISA、ISA 和微通道等。它首先被用于实现芯片与芯片之间的互连,并代替了不全面的 ISA 总线。在早期,33MHz PCI 总线很好的满足了当时主流外设 IO 的贷款需要。然而,现在情况发生了变化,处理器速度惊人的提高,以及处理器和外部存储器的大小和频率也不断的提升。在这一期间,PCI 总线的频率由 33MHz 提高到 66MHz,而处理器的速度从 33MHz 提高到 3GHz。一个 Gigabit Ethernet 就可以占据几乎所有 PCI 总线带宽。

PCI Express 是最新的总线接口标准,它原来的名称为“3GIO”,是由英特尔提出的,很明显英特尔的意思是它代表着下一代 I/O 接口标准。交由 PCI-SIG(PCI 特殊兴趣组织)认证发布后才改名为“PCI-Express”。这个新标准将全面取代现行的 PCI 和 AGP,最终实现总线标准的统一。它的主要优势就是数据传输速率高,目前最高可达到 10GB/s 以上,而且还有相当大的发展潜力。PCI Express 也有多种规格,从 PCI Express 1X 到 PCI Express 16X,能满足现在和将来一定时间内出现的低速设备和高速设备的需求。

在 PCI Express 结构中,每个设备都由一个专用连接而不必要共享带宽。点到点的结构还有其它的优点。一个典型的 PCI Express 连接使用两个 LVDS 差分对,一对用于发送,一对用于接收。在这个结构中无带边带信号。它包括了两个差分对:一个发送一个接收,以及一个地信号。

综上,PCI Express 是一个高性能的通用互连架构,可用于多种计算和通信平台。它是一种基于包的点到点串行接口,支持每方向每通道 2.5Gb/s 的原始带宽。其可靠且基于信用度的内置流量控制可消除因接收缓冲器溢出而导致的丢包问题,而重试功能则可确保数据传输的高度可靠性。

2. 使用 XILINX Virtex5 芯片实现 PCI Express 接口

下面以 XILINX Virtex5 系列 FPGA 为例,向大家介绍如何使用 XILINX Virtex5 芯片设计一个 PCI Express 接口。

XILINX Virtex5 系列 FPGA 支持 PCI Express 的以下规格:

- (1)完全支持 PCI Express 1.1 规范
- (2)每通道 1.62Gbps 或更高带宽。
- (3)支持 PCI Express x1、x2、x4 和 x8 模式。
- (4)XILINX 的 RocketIO GTP 和 CTX 串行收发器能够完全支持 PCI Express PHY 层处理。

- (5)使用芯片内部的 Block RAM 作为数据缓存。
- (6)能够完全缓存发送、接收的数据。
- (7)能够通过接口管理访问配置空间和内部配置。
- (8)能够支持的净荷大小从 128 字节到 4094 字节。
- (9)能够支持到 6x32bit 或 3x64bit 基址寄存器或 32bit、64bit 混合模式。

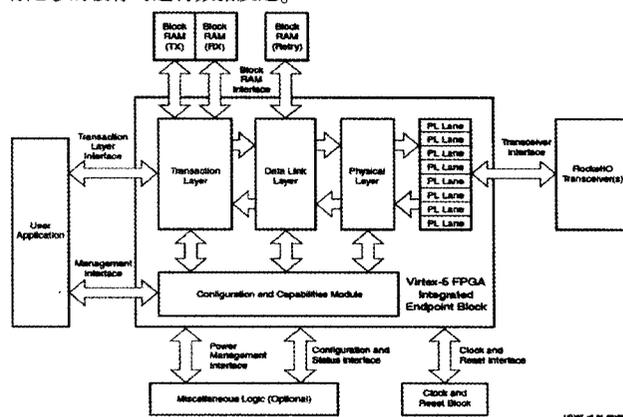
2.1 XILINX PCI express 介绍

根据 PCI Express 的协议模型,XILINX PCI Express 接口也有类似的划分。

传输层(Transaction Layer)在物理结构中属于最上层,它与用户逻辑相连,包括了传输层接口和调度单元。发送方向,该部分电路将用户数据封装为传输层的协议报文。接收方向,该模块将用户数据从传输层协议报文中剥离出来。

传输层的数据由 Header, Data Payload, ECRC 部分组成。其中,Header 为报文头,符合 PCI Express 规范,Data Payload 为用户数据空间,ECRC 是一个端到端的 CRC 校验。在发送层,XILINX 的 PCI

Express 接口提供了流控功能,通过流控,发送方向可以确保在接收端有足够的缓存时进行数据发送。



XILINX PCI Express 结构图

数据链路层(Data Link Layer)介于传输层和物理层之间,这一层主要提供了 Link 管理和数据完整性校验,包括错误检测和纠正。发送方向,数据链路层接收来自传输层的数据,并添加 TLP 序列号,同时添加 Link CRC,再将报文送入物理层,在送入物理层的同时,该层会复制报文,并将报文保存到重试缓存(Retry Buffer)中,但无效的报文会从该缓存中删除。接收方向较简单,该层会接收来自物理层的任何数据。

物理层数据由 Start, Sequence Number, Header, Data Payload, ECRC, LCRC, End 部分组成。物理层(Physical Layer)包括了以下功能:

- (1)报文封装、解封装。
- (2)字节排序,由于发送的报文会通过 PCI Express 的对条通道(Lanes)并且在接收方向进行重新组合。
- (3)Link 初始化和 Link Training,包括 LTSSM(Link Training and Status State Machine)。
- (4)数据加解扰。
- (5)8B/10B 编解码。

2.2 时钟和复位

一个完整的 PCI Express 模块拥有两个同步时钟域:core_clk 和 user_clk,其中 user_clk 时钟域与用户逻辑的时钟域是同一个,允许工作在较低的频率下,需要注意的是,所有的时钟都必须使用 BUFG,且同一个时钟域的时钟必须是在同一个 BUFG 的驱动下。

user_clk 时钟域被 CRMCUSRCLK、CRMUSERCLKRXO 和 CRMUSERCLKTXO 端口所驱动,属于 user_clk 时钟域的有以下部分:

- (1)管理接口时钟域。
- (2)发送接口时钟域。
- (3)TX Buffer 写时钟域。
- (4)Rx Buffer 读时钟域。
- (5)与上述接口相连的用户逻辑。

core_clk 时钟域被 CRMCORECLK、CRMCORECLKRXO、CRMCORECLKTXO 和 CRMCORECLKDLO 驱动,被该时钟域驱动的逻辑包括:

- (1)剩余的 PCI Express 模块电路。
- (2)Tx Buffer 读时钟。
- (3)Rx Buffer 写时钟。
- (4)Retry Buffer 读时钟。

