

PCI Express 协议实现与验证

张大为¹, 梁宇琪², 刘迪¹

(1. 海军航空工程学院 控制工程系, 山东 烟台 264001; 2. 山东信息职业技术学院 信息工程系, 山东 潍坊 261061)

摘要:称为第3代 I/O 接口技术的 PCI Express 总线规范的出现,从结构上解决了带宽不足的问题,有着极为广阔的发展前景。基于 Verilog HDL 硬件描述语言及可综合化设计理念,完成了 PCI Express IP 核 RTL 代码的设计。IP 核代码使用 Verilog HDL 语言编写,分模块、分层次地设计了事务层、数据链路层和物理层的逻辑子层,并进行了可综合化设计与代码风格检查。对设计的 PCI Express IP 核的功能分别从协议层次和应用层次进行了验证。具体实现上,采用 Denali 公司的 PureSuite 测试套件对 IP 核的协议兼容性进行验证,验证范围覆盖了 IP 核的 3 个层次以及配置空间,采用 QuestaSim 仿真工具对 IP 核的应用层进行验证。仿真结果表明,设计的 PCI Express IP 核工作正常,性能优良。

关键词: PCI Express 协议; IP 核; 验证; I/O 接口

中图分类号: TN98-34

文献标识码: A

文章编号: 1004-373X(2012)04-0123-03

Realization and verification of PCI Express protocol

ZHANG Da-wei¹, LIANG Yu-qi², LIU Di¹

(1. Department of Control Engineering, Naval Aeronautical and Astronautical University, Yantai 264001, China;

2. Department of Information Engineering, Shandong College of Information Technology, Weifang 261061, China)

Abstract: The design of RTL code with PCI Express IP core was accomplished on the basis of Verilog HDL and the synthetic design concept. The PCI Express IP core code was compiled with Verilog HDL. The logical sublayers of transaction Layer, data link layer and the physical layer were designed by dividing the modules and layers. The synthetic design and the code style check were performed. The function of PCI Express IP core was verified in the aspects of protocol and application. The compatibility verification of the designed PCI Express IP core was accomplished by the testing assembly PureSuite made by Denali Company, covering the three layers and the Configuration Space of the IP core. The application layer of IP core was verified with the simulation tool QuestaSim. The simulated results show that the PCI Express IP core works well and has satisfactory performance.

Keywords: PCI Express protocol; IP core; verification; I/O interface

0 引言

当下,计算机系统使用的主流内部总线技术为 PCI 总线。随着千兆以太网、RAID 阵列等高带宽设备的出现,PCI 总线 133 MB/s 的带宽已明显不能满足应用的需要。根据 PCI 总线的性能不足及计算机系统的应用需求,第 3 代 I/O 总线接口技术 PCI Express 应运而生^[1-2]。PCI Express 是一种应用于各种计算与通信平台的高带宽、点对点串行互联协议,支持虚通道、流量控制机制及热插拔,具有错误处理及错误报告功能,并在软件上与 PCI 兼容,具有鲜明的技术优势和广阔的应用前景^[3]。基于将 PCI Express 理论优势转化为实际应用优势的考虑,设计了 PCI Express IP 核,并进行了可综合化设计与代码风格检查,最后对设计的 PCI Express IP 核分别从协议层次和应用层次进行了较为充

分的功能验证。

1 PCI Express 协议

较之 PCI 总线,PCI Express 在总线技术与结构上实现了较大飞跃,提供了高速、高性能、点到点、双单工、串行、差分信号链路来互联设备^[4-5]。PCI Express 的基本结构包括根复合体(Root Complex)、交换机(Switch)以及端点设备(Endpoint)等^[6],本文设计的 PCI Express IP(Intellectual Property)核属于 PCI Express 端点设备。PCI Express 总线典型拓扑结构如图 1 所示。

根复合体(RC)为下层 I/O 设备连接到 CPU 和主存储器系统提供了路径,一个根复合体可支持一个或多个 PCI Express 端口;端点设备(EP)是 PCI Express 事务的请求发起者(Requester)或应答者(Completer),端点设备又分为传统端点、PCI Express 端点和根复合体集成端点;交换机(Switch)是由多个虚拟 PCI-to-PCI

桥设备组成的,其主要功能是为上游器件和下游器件的通信选择路径。

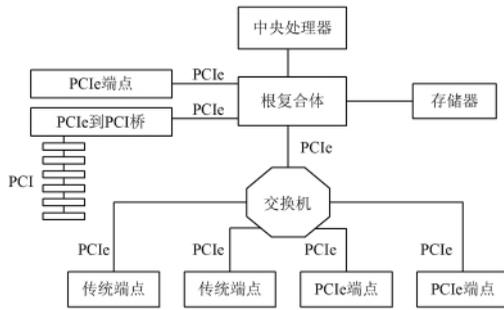


图1 典型 PCI Express 总线拓扑结构

PCI Express 规范规定对于设备的设计采用分层结构,由下向上可分为物理层(Physical Layer)、数据链路层(Data Link Layer)和事务层(Transaction Layer),物理层又由逻辑子层和电气子层组成。沿纵向来看,各层又可分为发送和接收2块功能^[7]。发送功能块构成了设备的发送部分,处理向外的传输事务;接收功能块构成了设备的接收部分,处理向内的传输事务。典型 PCI Express 层次结构如图2所示。

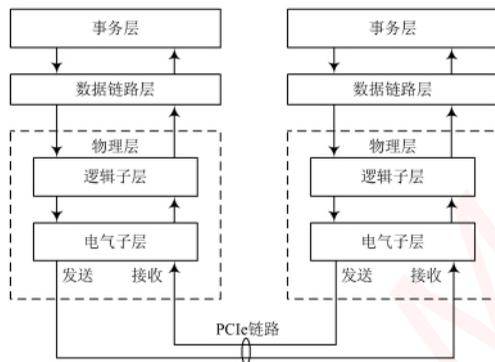


图2 典型 PCI Express 层次结构

作为 PCI Express 协议的最高层,事务层主要负责以下任务,如:基于流水线的分割事务协议;处理事务包的机制;基于“信用”的流量控制;支持数据完整性。数据链路层位于事务层和物理层之间,为事务层 TLP 在链路中的传输提供可靠的传输机制。数据链路层完成的主要任务包括传递 TLP、错误检测和裁决、初始化和电源管理、产生 DLLP。

物理层位于 PCI Express 协议的最底层,决定了 PCI Express 总线接口的物理特性,如点对点串行连接、微差分信号驱动、热拔插、可配置带宽等。

2 PCI Express IP 核设计

2.1 结构设计

从层次上来讲,PCI Express IP 核实现了 PCI Express 协议定义的所有3个层次:事务、数据链路和物理

的逻辑部分。从结构上来讲,PCI Express IP 核主要由用户接口模块、发送数据包解析模块、电源管理模块、DLLP 仲裁模块、TLP 仲裁模块、重传缓冲模块、CRC 生成模块、帧信息生成模块、数据链路层数据流仲裁模块、LTSSM 状态机模块、SKP 发生模块、LTSSM 用有序集发生模块、物理层数据流仲裁模块、通道分配模块、通道合并模块、乱序模块、解乱序模块、PIPE 接口模块、接收数据包解析模块和接收缓冲模块组成^[8]。本文重点介绍用户接口模块和发送数据包解析模块。

用户接口模块是用户逻辑与 PCI Express IP 核进行数据交互的桥梁,该模块分为发送接口和接收接口2部分。一方面,用户逻辑按照规定的时序通过该模块把欲发送的数据发送到 PCI Express 链路;另一方面,PCI Express IP 核接收来自 PCI Express 链路上的数据,处理后通过该模块发送给用户逻辑。

发送数据包解析模块的主要任务之一负责解析 TLP 包,并提供给 TLP 仲裁模块进行传输。

发送数据包解析模块的第2个功能为实现流控机制。流控机制是 PCI Express 中最基本的机制之一,流控机制虽然是对本地缓存的一种有效保护,但对 TLP 的收发性能有很大的影响。流量的初始化和更新均使用 DLLP 来完成;初始化使用 FC Init1 和 FC Init2 DLLP 来完成;更新使用 FC Update DLLP 来完成。

2.2 接口设计

接口设计主要包括本地接口设计、配置寄存器扩展接口设计和电源管理接口设计3部分。

本地接口用于用户逻辑与远端 PCI Express 设备之间传输 TLP,在本地接口总线上所传输的 TLP 均需满足标准的 PCI Express 数据包格式。本地接口又分为发送接口和接收接口,PCI Express IP 核通过发送接口在 PCI Express 链路上发送 PCI Express 包,通过接收接口从 PCI Express 链路上接收 PCI Express 包。

配置寄存器扩展接口主要用于实现额外的 PCI 能力项和配置寄存器。根据 PCI Express 规范,原则上只有跟 PCI Express 配置相关的寄存器才可以放入配置空间。本文设计的 PCI Express IP 核是 PCI Express 端点(Endpoint),故使用标准 Type0 配置空间,该空间占用了 0x000~0x0BF 地址范围,配置寄存器扩展接口可使用空间的地址范围从 0x0C0~0xFFF。

3 PCI Express IP 核功能验证

验证是比设计更重要的一个环节,它穿越了整个设计流程,以便尽早发现设计中可能存在的错误和缺陷^[9]。功能验证指验证 RTL 代码是否符合原始的设计需求和规格,在这里指验证设计的 PCI Express IP 核

是否符合 PCI Express 规范。本文采用基于虚拟平台的验证方法对设计的 PCI Express IP 核进行协议层验证和应用层验证^[10]。

3.1 协议层验证

本文采用 Denali 公司的 PureSuite 测试工具对 PCI Express IP 核的协议层进行验证。PureSuite 可以测试 PCI Express 设计的兼容性,包含完整的测试用例,且与 PCI-SIG 的兼容性验收列表完全匹配。PureSuite 覆盖了物理层、数据链路层、事务层以及配置空间,包括定向测试和随机测试,使用 PureSpec 总线功能模型对待测设计施加合适的激励,该功能模型使用 SOMA 配置文件来约束功能模型的行为和特性。PureSuite 充分发挥了 Denali 的先进特性,自动产生测试激励,并报告测试结果。使用 PureSuite 对 PCI Express IP 核进行兼容性测试主要需要四个步骤,测试平台搭建、测试用例选择、运行仿真、查看结果。

测试平台搭建主要包括对 DUT 的实例化以及创建约束 DUT 特性的 SOMA 文件。首先,编写 Testbench 文件,把 Denali 的模型和监视器以及 DUT 连接起来,并指定对应的 SOMA 文件,分别对上述 3 个模块进行特性约束。其次,使用 Denali 的图形化工具 PureView 创建 DUT 监视器模块及其 SOMA 文件,需要把 PCI Express IP 核的特性全部写入该 SOMA 文件中。

由于 Denali 的 PureSuite 包含了一套完整的测试用例,其中有许多是 DUT 所不具备的能力,故在运行仿真前需要选择与 DUT 配套的测试用例,当然也可以指定一些测试用例进行单独测试,以禁止运行 DUT 所不具有的特性的测试用例。PureSuite 提供 5 大类测试,包括事务层测试、PHY 测试、数据链路层测试、配置空间测试和虚通道测试,本文的设计不包括 PHY 部分,故仅对 DUT 进行了其余 4 类测试。

在进行协议层仿真时,本文使用 NC-SIM 仿真工具在 Linux 系统下进行。仿真平台搭建好后,需要编写运行脚本文件。在编写脚本文件中,主要包括对代码进行编译、指定编译器及其参数、指定仿真顶层等。一切准备就绪后,便可以运行仿真。在仿真过程中需要查看仿真波形,要在仿真顶层文件“tb.v”中把保存波形数据库,在仿真过程中或仿真结束后用 SimVision 工具打开波形数据库查看波形。

仿真过程结束后,PureSuite 会生成一个测试结果文件 puresuite.status,该文件包含了仿真运行的详细结果及统计结果,整个设计的 4 类测试项均测试成功。

3.2 应用层验证

在应用层验证中主要验证 DUT 是否能够正确处理数据包,包括是否能够正确发送用户逻辑产生的数据

包和是否能够正确接收链路上的数据包,并路由到正确的目标地址。同时,兼顾测试 PCI Express IP 核的部分协议兼容性。应用层验证需要为 DUT 搭建一个应用环境,包括一个内部 SRAM,一片 FLASH 存储器和通用输入输出接口。DUT 的 PHY 使用 Xilinx 的 GTP 模型,主机模型使用由某公司提供的 PCI Express 根复合体仿真模型。

代码覆盖率是验证结果的重要质量标志,有助于指导验证计划的改进。通过 QuestaSim 6.3d 的代码覆盖率计算,如图 3 所示,PCI Express IP 核的代码覆盖率达到了令人满意的效果。

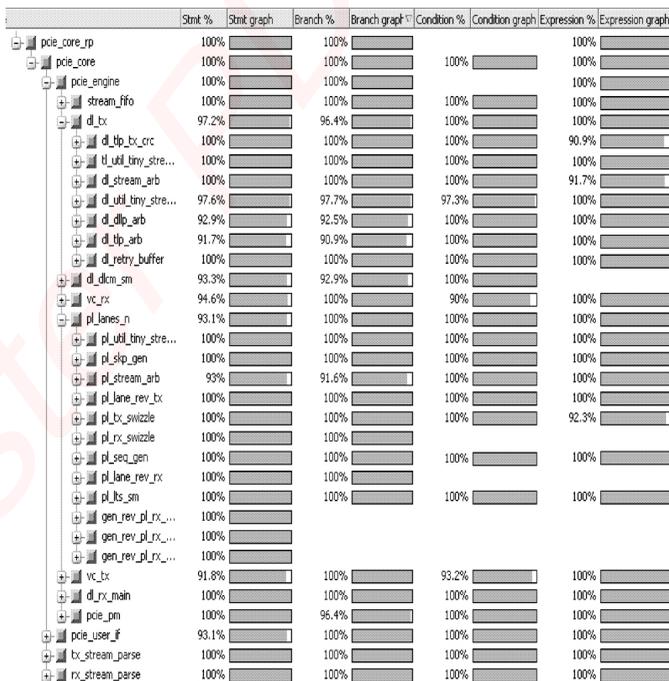


图 3 代码覆盖率

4 结 语

攻克了基于信用的流量控制机制、电源管理机制、错误检测与处理报告机制、LTSSM 状态机等多个技术难关后,本文完成了 PCI Express IP 核 RTL 代码的设计。基于 PureSuite 测试套件及 QuestaSim 仿真工具对设计的 IP 核进行了全方位的功能验证,并对验证过程发现的问题逐一进行修正。仿真结果表明,设计的 PII Express IP 核实现了预期功能,达到了设计技术指标。

参 考 文 献

[1] 魏鹏,罗武胜,杜列波. PCI Express 总线及其应用设计研究[J]. 电测与仪表,2007,44(2):43-45.

文件中的信息,把相应时次的数据的图形叠加显示在屏幕上。数据格式如下:

```
diamond 10 1
D: \micapsdata\ecmwf\height\500 08052520. 024 4
```

其中第 1 行为文件头,表示该文件数据格式为 MICAPS 的第 10 类数据格式,1 为综合图中所含的数据文件数。从第 2 行开始,是要检索的数据文件的相关参数,内容依次为要检索的数据文件存放路径、文件名、对应的 MICAPS 数据类型代码(均为字符串)。若综合图中设定的数据文件数比实际数据文件数少,则只从第 2 行开始顺序读取设定个数的数据文件;若综合图中设定的数据文件数比实际数据文件数多,则提示后面的数据文件不存在。

2.4 设置图像格式指示码

MICAPS 系统后台运行程序生成图像文件的格式由命令行中的图像格式指示码决定,指示码与图像格式的关系为:1-BMP,2-JPEG,3-GIF,4-Windows 的 Meta-File(元文件),5-MICAPS 图元文件(不是图像,是 MICAPS 第 14 类数据),综合考虑到 Web 加载图像文件的速度和显示效果,一般选择 2,即 JPEG 格式。

2.5 设置生成的图像文件名

生成的图像文件默认存放在后台运行程序所在的文件目录下,为方便在 Web 显示时检索,可以使用绝对路径,生成的图像文件由日期、时次和时效组成,格式为 YYYYMMDDHH.TTT。其中,YYYY 为年,MM 为月,DD 为日,HH 为时次,TTT 为时效。

3 气象图形 Web 上的实时显示

Web 服务器采用 Apache 和 Php 搭建^[7-10],首先按照客户提交的需求实时生成 MICAPS 后台生成图像所需要的配置文件,然后利用 EXEC()函数执行 MICAPS 后台

程序生成图像,最后显示给客户。网站将图形在分为 7 大类,分别为高空探测、地面观测、欧洲数值预报、卫星云图、北京 T213、日本、德国地面降水。该网站具有图形放大缩小、中心经纬度可变、图像尺寸可选等功能。

4 结 语

将气象图形 Web 后,预报员可以及时地从互联网获取气象资料,可以实时地向政府部门、相关业务部门和社会公众提供实时全面的专业气象信息,从而实现了公共气象信息的共享,增加了气象 Web 网站的服务功能。具有一定的推广应用价值。

参 考 文 献

- [1] 周雪莹,刘小刚. Micaps 常规资料的 Web 发布系统[J]. 电脑开发与应用,2010(10):56-58.
- [2] 常富玉. MICAPS 中图形资料的编辑和保存[J]. 辽宁气象,1998(2):102-104.
- [3] 刘爱容. 气象信息共享平台的开发技巧[J]. 气象与环境科学,2007,30(z1):201-202.
- [4] 李五生. 用批处理程序解决气象资料接收业务中的若干问题[J]. 气象水文装备,2008,19(2):51-52.
- [5] 脱宇峰,李五生,王雄. 日本降水数值预报产品格点数据的提取方法及实现[J]. 航空气象科技,2008(2):27-28.
- [6] 赵伟,朱云. 气象常规资料自动备份方法[J]. 军事气象,2003(4):58-60.
- [7] 吴向阳. 气象经济学研究综述[J]. 气象与环境科学,2007,30(2):76-79.
- [8] 赵斯思. PHP 网络编程技术玉实例[M]. 北京:人民邮电出版社,2006.
- [9] 陆凌牛. HTML 5 与 CSS 权威指南[M]. 北京:机械工业出版社,2010.
- [10] 张少卓. PHP 标准教程[M]. 北京:化学工业出版社,2006.

作者简介:魏玉鹏 男,1976 年出生,山东诸城人,电子工程师。主要研究方向为新一代天气雷达机务维修。

(上接第 125 页)

- [2] 徐天,何道君,徐金甫. 基于 IP 核的 PCI Express 接口[J]. 计算机工程,2009,35(24):239-241.
- [3] 马鸣锦,朱剑兵,何红旗. PCI,PCI-X 和 PCI Express 的原理及体系结构[M]. 北京:清华大学出版社,2007.
- [4] 李丹,贺占庄,李灏. PCI Express 总线接口板的设计与实现[J]. 现代电子技术,2009,32(4):158-161.
- [5] 陈有信,徐根深. 基于 PCI Express 总线转换板设计研究[J]. 国外电子测量技术,2009,28(12):60-64.
- [6] 刘长成,来逢昌,王进祥. PCI 总线的未来发展[J]. 微处理机,2006(6):1-3.
- [7] 田玉敏,王崧,张波. PCI Express 系统体系结构标准教材[M]. 北京:电子工业出版社,2001.
- [8] 唐世民,罗伟,刘峰. PCI Express 端点应用的 FPGA 实现[J]. 微计算机信息,2009,25(11):163-165.
- [9] 简弘伦. Verilog HDL IC 设计核心技术实例详解[M]. 北京:电子工业出版社,2005.
- [10] 尹勇,李宇. PCI 总线设备开发宝典[M]. 北京:北京航空航天大学出版社,2005.

作者简介:张大为 男,1979 年出生,山东潍坊人,讲师,硕士。主要研究方向为智能检测、模式识别。